

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

SEMICONDUCTOR DEVICE

Patent Number: JP4012555
Publication date: 1992-01-17
Inventor(s): NAGURA HIDEAKI; others: 01
Applicant(s): MATSUSHITA ELECTRON CORP
Requested Patent: JP4012555
Application Number: JP19900116249 19900502
Priority Number(s):
IPC Classification: H01L23/29
EC Classification:
Equivalents:

Abstract

PURPOSE:To make it possible to efficiently dissipate the generated heat by mounting a semiconductor element on a recessed portion or a projected portion to decide a position of a heat sink, and then by packaging it with resin.

CONSTITUTION:A heat sink 1 is formed by a copper plate or an aluminum plate which has high heat conduction. A mounting hole 3 is perforated through the fin of the heat sink, and a recessed portion 4 of the heat-dissipating to decide the position in the central part of the heat sink. A packaged semiconductor element 6 is mounted on the recessed portion 4 of the heat sink by soldering or other methods, and is coated by a package 7 consisting of epoxy resin. In this way, the heat to be generated in a device for semiconductor can be efficiently dissipated.

Data supplied from the esp@cenet database - 12

JP-A-4-12555 claims a semiconductor device in which a radiation plate having a concave or convex surface for positioning is connected to a semiconductor element.

⑩ 日本国特許庁(J P)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-12555

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)1月17日

H 01 L 23/29

7220-4M

H 01 L 23/36

A

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平2-116249

⑰ 出 願 平2(1990)5月2日

⑱ 発 明 者	名 倉	英 明	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑱ 発 明 者	井 原	正 弘	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑲ 出 願 人	松下電子工業株式会社			大阪府門真市大字門真1006番地
⑳ 代 理 人	弁理士 栗野 重孝			外1名

明 細 書

1、発明の名称

半導体装置

2、特許請求の範囲

あらかじめパッケージされた半導体素子に、位置決め用の凹面または凸面を設けた放熱板を接続し樹脂でパッケージした半導体装置。

3、発明の詳細な説明

産業上の利用分野

本発明は各種電子機器に使用される大電力用の半導体装置に関する。

従来の技術

従来、半導体装置の大電力化をはかる方法として、パッケージ自体を大きくし、ICチップからの放熱をよくする方法、あらかじめパッケージした半導体装置を放熱フィンにネジ締め等で取付け、放熱フィンにより放熱をよくする方法および回路基板に半田付けする方法などがある。

発明が解決しようとする課題

しかしながら上記の構成では半導体装置内に熱

が蓄積されるという問題点、半導体装置を使用する電子機器の容積によって放熱フィンの大きさが限定されるという問題点および回路基板の大きさによって放熱効果が異なるという問題点を有していた。

本発明は上記の問題点を解決するもので、半導体装置内で発生する熱を効率的に放散させることができる半導体装置を提供することを目的とする。

課題を解決するための手段

この目的を達成するために本発明の半導体装置は、半導体素子に位置決め用の凹面または凸面を設けた放熱板を接続し樹脂でパッケージした構成を有している。

作用

この構成によって、半導体素子と放熱板を接合する半田の流れをよくすると同時に、半導体装置の取付けを正確に規定できることとなる。

実施例

以下本発明の一実施例について、図面を参照しながら説明する。

第1図に示すように、放熱板1は熱伝導度のよい銅板やアルミニウムなどで形成され、その放熱フィンには取付け孔3が設けられ、また中央部分には位置決め用の凹面4が形成されている。そして、第2図および第3図に示すようにパッケージされた半導体素子6が、この放熱板1の凹面4に半田付けなどにより取り付けられ、エポキシ樹脂からなるパッケージ7で被覆されている。

以上のように構成された半導体装置の熱抵抗の測定値を、従来例と比較して第4図に示す。

これから明らかなように、本実施例の熱抵抗が従来例のそれに比べて低く、またそのばらつきも小さい。

以上のように、本実施例によれば凹面を設けた放熱板に半導体素子を半田付けし樹脂によりパッケージする構成により、熱抵抗が大巾に低下し発生する熱を効率的に放散させられるので、大電力化できる。放熱板への取付け位置が正面に規定できるので、半導体装置の特性および外形寸法のばらつきを少なくすることができる。さらに半導体

装置の放熱フィン取付け孔を利用してアルミニウム板などの放熱フィンを取付けることにより、一層の大電力化がはかれる。また、あらかじめパッケージした半導体素子に放熱板を付加する構成であるので、製造工程で高価な設備や高価な材料を必要とせず、総合的なコスト低減もできる。

なお実施例において、凹面4を設けた放熱板1を用いたが、第5図に示すように凸面5を設けた放熱板2を用いてもよい。

発明の効果

以上の説明からも明らかなように、本発明は、半導体素子を、放熱板の位置決め用の凹面または凸面の部分に取付け、さらに樹脂でパッケージした構成であるので、発生する熱を効率的に放散させることができ、大電力用半導体装置を実現できるものである。

4、図面の簡単な説明

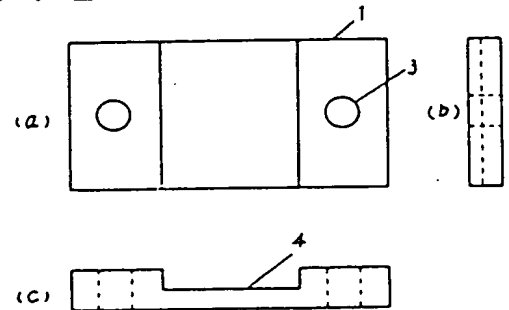
第1図(a)は本発明の半導体装置の一実施例における放熱板の正面図、同図(b)はその側面図、同図(c)はその底面図である。第2図(a)は本発明の半導

体装置の一実施例における半導体素子の一例の正面図、同図(b)はその側面図である。第3図(a)は同じく半導体素子の他の例の正面図、同図(b)はそのA-A'断面図である。第4図は本発明の一実施例と従来例の半導体装置の熱抵抗の測定値の分布図、第5図(a)は本発明の半導体装置の他の実施例における放熱板の正面図、同図(b)はその側面図、同図(c)はその底面図である。

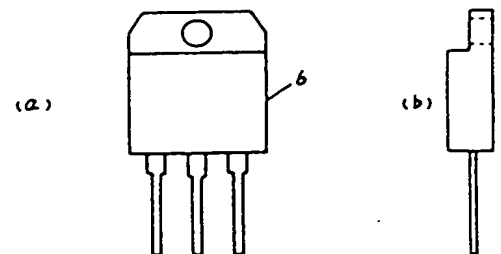
1、2……放熱板、4……凹面、5……凸面、6……半導体素子、7……パッケージ。

代理人の氏名 弁護士 東野重孝 ほか1名

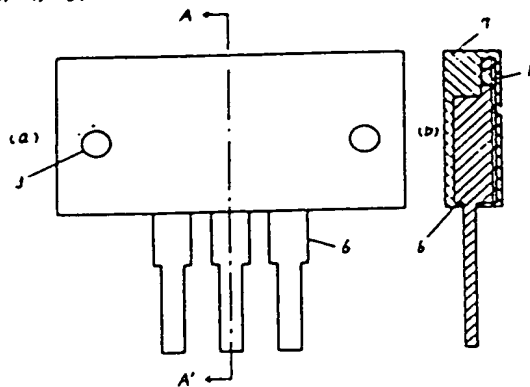
第 1 図



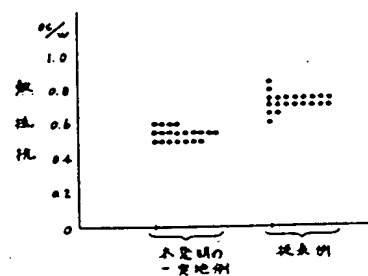
第 2 図



第 3 図



第 4 図



第 5 図

